

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-140140

(43)Date of publication of application : 17.05.2002

(51)Int.Cl.

G06F 3/00

G06F 13/14

H05K 1/02

(21)Application number : 2000-331741

(71)Applicant : CANON INC

(22)Date of filing : 31.10.2000

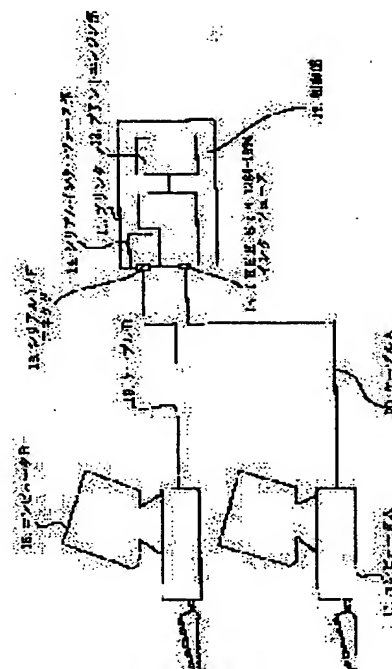
(72)Inventor : HAMANO MUNEJI

(54) DEVICE PROVIDED WITH INTERFACE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a device equipped with an interface which can cope with plural IFs(interfaces) by one electric substrate.

SOLUTION: This device having an electric substrate having the plural interfaces capable of transceiving data with an external device has structure capable of bringing at least one IF portion out of the plural IFs into the detachable IF by dividing one portion of the electric substrate, and capable of bringing the IFs into nondetachable ones by not dividing the substrate in a dividing part.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-140140

(P2002-140140A)

(43) 公開日 平成14年5月17日 (2002.5.17)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
G 0 6 F 3/00		G 0 6 F 3/00	S 5 B 0 1 4
	13/14	13/14	3 3 0 D 5 E 3 3 8
H 0 5 K 1/02	3 3 0	H 0 5 K 1/02	G

審査請求 未請求 請求項の数 9 O L (全 10 頁)

(21) 出願番号 特願2000-331741(P2000-331741)

(22) 出願日 平成12年10月31日 (2000. 10. 31)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 浜野 宗二

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(74) 代理人 100087583

弁理士 田中 増顕 (外1名)

Fターム(参考) 5B014 HA10 HC07 HC13

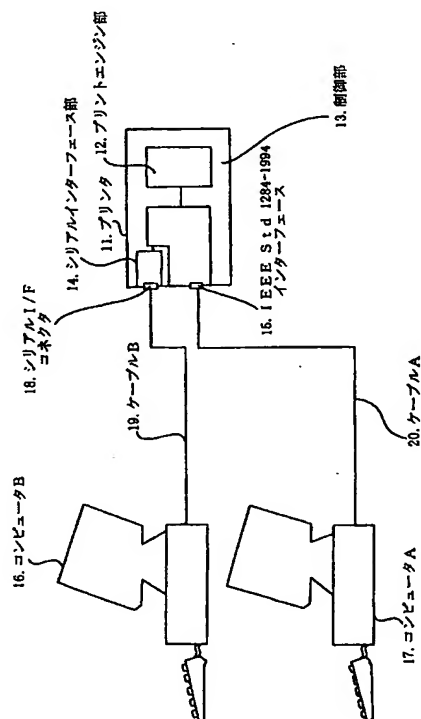
5E338 AA00 BB46 CC01 CD11 EE11

(54) 【発明の名称】 インターフェースを備えた装置

(57) 【要約】

【目的】 1つの電気基盤によって複数のIF (インターフェース) に対応できるインターフェースを備えた装置を提供する。

【構成】 外部装置とデータ送受信できる複数のインターフェースを持つ電気基盤を有する装置であって、複数のIFの内少なくとも1つのIF部分を電気基盤の一部を割る事によって着脱可能なIFにすることができる構造を持ち、また電気基盤を割り部分で割らないことで着脱不可能なIFにすることができる構造を持つ。



【特許請求の範囲】

【請求項1】外部装置とデータ送受信できる複数のインターフェース（以下IFと記述する）を持つ電気基板を有し、前記電気基板の一部を割る事によって前記複数のIFの内少なくとも1つのIF部分（以下第2のエリアと記述する）を着脱可能なIFにすることができる構造に形成し、かつ前記電気基板を前記割り部分で割らないことで着脱不可能なIFにすることができる構造に形成することを特徴とするインターフェースを備えた装置。

【請求項2】前記着脱可能なIFで製造した場合は、前記着脱可能なIFと割られたもう一方の前記電気基板（以下第1のエリアと記述する）は別途設置されるコミュニケーションラインによって通信可能であることを特徴とする請求項1に記載のインターフェースを備えた装置。

【請求項3】前記第2のエリアを着脱不可能なIFとして製造した場合に、第1のエリアと第2のエリアの間は、前記両エリア間を接続した導電パターンによって通信であることを特徴とする請求項1に記載のインターフェースを備えた装置。

【請求項4】前記第1のエリア内の制御部は第2のエリア内に入り、戻ってくる少なくとも1つの導電パターンラインを有し、このパターンが割られたかどうかによって前記第2のエリアが、着脱可能か不可能かを判断することを特徴とする請求項1～3のいずれか1つに記載のインターフェースを備えた装置。

【請求項5】前記第2のエリア内の制御部は第1のエリア内に入り、戻ってくる少なくとも1つの導電パターンラインを有し、このパターンが割られたかどうかによって前記第2のエリアが、着脱可能か不可能かを第2のエリアの制御部が検知し、それを表示することで操作者に対し交換可能なIFかどうかを知らせることを特徴とする請求項1～3のいずれか1つに記載のインターフェースを備えた装置。

【請求項6】前記第2のエリア（IF）から送られてくる識別信号を受信し、その情報と第1のエリア内のIFの通信速度とを比較し、より高速なIFを優先IFとして処理し前記複数のIFの優先順位を操作者に表示することを特徴とする請求項1～5のいずれか1つに記載のインターフェースを備えた装置。

【請求項7】少なくとも2つのインターフェースを分離可能な（割られ可能な）状態で保持する電気基板を有するインターフェースを備えた装置において、前記電気基板が分離された状態か否を検出する検出手段を有し、前記検出手段が電気基板が分離状態されていないと判断したとき、予め決定したいずれか一方のインターフェースを優先IFに設定することを特徴とするインターフェースを備えた装置。

【請求項8】請求項7記載のインターフェースを備えた

装置において、前記検出手段が電気基板が分離していると判断したとき、インターフェースを設けられた他の電気基板が実装されているか否かを判断する実装判断手段をさらに有し、

前記実装判断手段が実装されていないと判断したとき、当初から設けられているIFを用いるように設定し、前記実装判断手段が実装していると判断したとき、すべてのIFの速度を判断し、最も高速のIFを優先するように設定する、

10 ことを特徴とするインターフェースを備えた装置。

【請求項9】少なくとも2つのインターフェースを分離可能な（割られ可能な）状態で保持する電気基板を有するインターフェースを備えた装置において、インターフェースを設けられた実装可能な電気基板が実装されているか否かを判断する実装判断手段を有し、前記実装判断手段が実装されていないと判断したとき、当初から設けられているIFを用いるように設定し、前記実装判断手段が実装していると判断したとき、すべてのIFの速度を判断し、最も高速のIFを優先するように設定する、

20 ことを特徴とするインターフェースを備えた装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、プリンタ、スキャナ、多機能周辺装置等の情報処理装置と接続されて使われる複数の特にセントロニクスIF、USB IF、イーサネットIF等を有するインターフェースを備えた装置に関するものである。

【0002】

30 【従来の技術】従来、プリンタ、スキャナ、多機能周辺装置等の特にコンピュータ等の情報処理装置と接続される周辺装置は、種々の上位装置と接続し、動作できるように複数のIFを有しているものが多い。そのため装着できるIFを多種類に商品設定することが多かった。また特定の大口ユーザーに対しては、システム設定を誤らないようにIFを交換できない固定IFとする商品構成も必要とする場合があった。

【0003】

40 【発明が解決しようとする課題】このようにユーザーの多様なニーズに対応するため多種多様の商品構成を必要とし、それに合わせて外装は同じでも装置内部の電気基板で多機種に対応すべく多数の種類の電気基板の型や版下を必要とした。

【0004】また、電気基板の種類が多くなる事によって同じような形状の商品で異なるIFを搭載したモデルがあり、システム設定の際にユーザーに対し、混乱を与えることが多かった。

50 【0005】したがって、本発明の目的は、1つの電気基盤によって複数のIF（インターフェース）に対応できるインターフェースを備えた装置を提供することにある。

【0006】

【課題を解決するための手段】上記目的を達成するために、請求項1記載の発明に係る装置では、外部装置とデータ送受信できる複数のインターフェース（以下IFと記述する。）を持つ電気基板を有する装置であって前記複数のIFの内少なくとも1つのIF部分（以下第2のエリアと記述する。）を前記電気基板の一部を割る事によって着脱可能なIFにすることができる構造に形成し、かつ電気基板を前記割り部分で割らないことで着脱不可能なIFにすることができる構造に形成することを特徴とする。

【0007】請求項2記載の発明に係る装置では、前記着脱可能なIFで製造した場合は、前記着脱可能なIFと割られたもう一方の前記電気基板（以下第1のエリアと記述する）は別途設置されるコミュニケーションラインによって通信可能であることを特徴とする。

【0008】請求項3記載の発明に係る装置では、前記第2のエリアを着脱不可能なIFとして製造した場合に、第1のエリアと第2のエリア間は、前記両エリア間を接続した導電パターンによって通信可能であることを特徴とする。

【0009】請求項4記載の発明に係る装置では、前記第1のエリア内の制御部は第2のエリア内に入り、戻ってくる少なくとも1つの導電パターンラインを有し、このパターンが割られたかどうかによって前記第2のエリアが、着脱可能か不可能かを判断することを特徴とする。

【0010】請求項5記載の発明に係る装置では、前記第2のエリア内の制御部は第1のエリア内に入り、戻ってくる少なくとも1つの導電パターンラインを有し、このパターンが割られたかどうかによって前記第2のエリアが、着脱可能か不可能かを第2のエリアの制御部が検知し、それを表示することで操作者に対し交換可能なIFかどうかを知らせることを特徴とする。

【0011】請求項6記載の発明に係る装置では、前記第2のエリア（IF）から送られてくる識別信号を受信し、その情報と第1のエリア内のIFの通信速度と比較し、より高速なIFを優先IFとして処理し前記複数のIFの優先順位を操作者に表示することを特徴とする。

【0012】

【発明の実施の形態】（実施例1）図1は、本発明の実施例1のシステム全体を示す図であり、図2は、本実施例の制御部PCB27を割らずにプリンタ11に実装する場合の図であり、図3は、シリアルIF部14の内部回路図であり、図4は、本実施例のシリアルIF部から制御部13がデータを受け取る場合のタイミングチャートであり、図5は、本実施例のシリアルIF部に制御部13がデータを送る場合のタイミングチャートであり、図6は、本実施例のシリアルIF部がコンピュータB（16）からデータを受信する場合のタイミングチャートであり、図7は、本実施例のシリアルIF部がコンピ

(3)

特開2002-140140

4

ュータB（16）にデータを送信する場合のタイミングチャートであり、図8は、制御部PCB27が基板割りのための穴28で割られているかどうかを判断するための検出回路であり、図10は、本実施例の2つのIFの15または18のいずれかを優先IFに設定した場合の処理手順を示す図であり、図11は、制御部PCB27が基板割りのための穴28で割られて使用されている場合の図であり、図12は、本実施例の制御部13のフローチャートであり、図13は、プリンタ11の表示部を示す図である。

【0013】表1は、シリアルインタフェース部（14）から制御部（13）に送られてくる実装状態のデータを説明するための表である。

【0014】図1において、11は、コンピュータ16、17の印字情報を印字するプリンタを示し、12は、制御部13から送られてくるビットイメージ情報を印字紙に記録するプリントエンジン部を示し、13は、IF（インターフェース）14、15からの印字情報を受け取り、それに従いプリントエンジン部12を制御する制御部を示し、14は、コンピュータB（16）からの印字関連情報を受信するシリアルIFを示し、15は、コンピュータA（17）からの印字関連情報を受信するIFを示し、16はコンピュータBを示し、17は、コンピュータAを示し、18は、シリアルIFコネクタを示し、19は、コンピュータB（16）とシリアルIFコネクタ18を接続するケーブルBを示し、20はコンピュータA（17）とIF15を接続するケーブルAを示す。

【0015】図2には、シリアルIF14の詳細が示されている。図2において、21、22、23、24は、制御部PCB（プリント回路基板）27を固定する取り付け穴を示し、26は、IEEEstd1284-1994IFコネクタを示し、27は制御部PCBを示し、28は、基板割りのための穴を示す。

【0016】図3には、シリアルIF14の内部回路図が示されている。図3において、31は、シリアルIF制御部を示し、32は、制御部13とのIFコネクタを示す。

【0017】図8において、81は、プルダウン抵抗を示し、82は、サブPCBが制御部PCB27から割られているかどうかを検出する検出信号を示す。Low（ロー）で割られている状態を意味し、High（ハイ）で割られていない状態を意味する。

【0018】図10は優先処理手順を示すものであり、15または18のいずれかを優先IFに設定した場合、プリントエンジン部が非優先IFからの印字関連データを印字開始しない限り、優先IFからの印字関連データの受信と印字終了までの処理を優先処理することを示している。

【0019】図11は穴で割られている状態を示すものであ

り、111は、サブPCBからの信号と割られている制御部PCB27の信号を接続する制御部PCB側のコネクタを示し、32は、サブPCBからの信号と割られている制御部PCB27の信号を接続するサブPCB側のコネクタを示す。

【0020】図12は制御部13のフローチャートであり、図12において、S121では、電源オンが行われる。S122では、電源オン直後に、プリンタ11の制御機能に対してイニシャル処理が行われる。S123では、制御部PCB27が基板割りのための穴28が割られているかどうかをチェックする。HighならS124へLowならS125へ遷移する。S124では、シリアルIFを優先IFに設定する。S125では、シリアルインタフェース部14に図5のタイミングで“F”hex.（シリアルIF部の実装状態を聞く命令）を書きこむ。S126では、NINTRDの信号により、制御部13に対し割りこみが発生したかをチェックする。NoならS127へ、YesならS129へ遷移する。S127では割り込み発生待ちが2秒以上経過したかをチェックする。NoならS126へ、YesならS128へ遷移する。S128では、制御部13のIFをIEEEstd1284-1994インターフェース（26）に設定する。S129では、シリアルインタフェース部14から図4のタイミングで実装状態を受信する。S130では、S129での実装状態データ（表1参照）からシリアルインタフェース部14のスピードを判断しより高速なIFを18と26の二つから選択し、優先に設定する。

【0021】S131では、プリントレディ状態を表示し（図13において、131）、優先IFを表示し（図13において、133）、かつサブIFの交換可否を表示する（図13において、136）。S132では、コンピュータA又はBから印字関連情報が送られてくるのを待つ。S133では、印字処理を行い、終了後にS132に戻る。

【0022】再び、図12を参照して、本実施例の動作をさらに詳細に説明する。S121では、プリンタ11の電源がオンされ、S122に遷移する。又コンピュータA（17）とコンピュータB（16）にも電源が投入されそれぞれから印字データを送信できる状態に操作され

る。

【0023】S122では、プリンタ11の制御部（13）は、イニシャル処理を行う。S123では、制御部PCB27が基板割りのための穴28で割られているかどうかをチェックする。HighならS124へLowならS125へ遷移する。図8に示すようにシリアルIF14が割られている場合、つまり標準実装ではなく、後からオプションとして実装された場合、シリアルIF14が割られているので同図の+5V電源とサブPCB検出信号82はプリンタの製造工程で切断されており、プル

ダウン抵抗81によりLowレベル電圧となる。またその逆に標準実装の場合では、+5V電源とサブPCB検出信号82は切断されておらず、検出信号82はHighレベル電圧となる。これにより、標準実装か、オプションでの実装かをここで判断している。

【0024】S124では、信号82の状態はHighであり、つまり標準実装のシリアルIFが実装されているので優先IFに設定する。S125では、シリアルインタフェース部14に図5のタイミングで“F”hex.

（シリアルIF部の実装状態を聞く命令）を書きこむ。S126では、NINTRDの立下り信号により、制御部13に対し割りこみが発生したかをチェックする。NoならS127へ、YesならS129へ遷移する。

【0025】S127では、割り込み発生待ちが2秒以上経過したかをチェックする。NoならS126へ、YesならS128へ遷移する。S128では、2秒以上経過してもシリアルIF部（14）から割り込みが発生しなかったためシリアルIF部（14）は、無いと判断し、制御部13のIFをIEEEstd1284-1994インターフェース（26）だけに設定する。つまり、これ以後、シリアルIF部からの信号を一切処理しない。S129では、シリアルインタフェース部14から図4のタイミングで実装状態を受信する。S130では、S129での実装状態データからシリアルインタフェース部14のスピードを判断しより高速なIFを18と26の二つから選択し、優先に設定する。

【0026】実装状態データ（表1参照）が“C”hex.なら12Mbps、“D”hex.なら1Mbps、IEEEstd1284-1994（26）IFは、4Mbps、の性能を持っている。“C”hex.が受信されていたらシリアルIFがより高速のIFなのでこれを優先IFとする。“D”hex.なら標準実装IFのIEEEstd1284-1994（26）IFがより高速のIFなのでこれを優先IFとする。

【0027】S131では、図13のLED132を点灯させ、印刷可の状態を表示する。S130で判断した通りに、図13の134と135のいずれか優先するIFを示すLEDを点灯する。S123で信号82がHighと判断されている場合は、標準IFとして基板が割られずにシリアルIF部（14）が実装されているため、サブIFの交換可否を不可のLEDを点灯、可のLEDを消灯して表示する。信号82がLowと判断されている場合は、サブIFの追加／交換が可能なので、サブIFの交換可否を不可のLEDを消灯、可のLEDを点灯して表示する。

【0028】S132では、コンピュータA又はBから印字関連情報が送られてくるのを待つ。S133では、図10の優先IFの処理手順通りに印字処理を行い、終了後にS132に戻る。

【0029】（実施例2）次に、実施例2を図9、図14、

表2を参照して説明するが、実施例2において、図1～図7、図10、図11、図13に関連して説明した内容は本実施例2にも適用される。

【0030】ここで、図9は、制御部PCB27が基板割りのための穴28で割られているかどうかを判断するための検出回路であり、図14は、本実施例の制御部13のフローチャートであり、表2は、シリアルインタフェース部(14)から制御部(13)に送られてくる実装状態のデータを説明する表である。

【0031】図14において、S141では、電源オンが行われる。S142では、電源オン直後にプリンタ11の制御機能に対してイニシャル処理が行われる。S143では、シリアルインタフェース部14に図5のタイミングで“F”hex. (シリアルIF部の実装状態を聞く命令)を書きこむ。S144では、NINTRDの立下り信号により、制御部13に対し割りこみが発生したかをチェックする。NoならS145へ、YesならS147へ遷移する。S145では割り込み発生待ちが2秒以上経過したかをチェックする。NoならS144へ、YesならS146へ遷移する。S146では、制御部13のIFをIEEEstd1284-1994インターフェース(26)に設定する。S147では、シリアルインタフェース部14から図4のタイミングで実装状態を受信する。S148では、S147での実装状態データ(表2参照)からシリアルインタフェース部14の速度を判断しより高速なIFを18と26の二つから選択し、優先に設定する。

【0032】S149では、印刷可の状態を表示し、優先IFを表示し、かつサブIFの交換可否を表示する。S150では、コンピュータA又はBから印字関連情報が送られてくるのを待つ。S151では、印字処理を行い、終了後にS150に戻る。

【0033】再び、図14を参照して本実施例の動作をさらに詳細に説明する。S141では、プリンタ11の電源がオンされ、S142に遷移する。又コンピュータA(17)とコンピュータB(16)にも電源が投入され、それぞれから印字データを送信できる状態に操作される。S142では、プリンタ11の制御部(13)は、イニシャル処理を行う。

【0034】S143では、シリアルインタフェース部14に図5のタイミングで“F”hex. (シリアルIF部の実装状態を聞く命令)を書きこむ。S144では、NINTRDの立下り信号により、制御部13に対し割りこみが発生したかをチェックする。NoならS145へ、YesならS147へ遷移する。S145では、割り込み発生待ちが2秒以上経過したかをチェックする。NoならS144へ、YesならS146へ遷移する。S146では、2秒以上経過してもシリアルIF部(14)から割り込みが発生しなかったためシリアルIF部(14)は、無いと判断し、制御部13のIFをIEEE

Estd1284-1994インターフェース(26)だけに設定する。つまりこれ以後、シリアルIF部からの信号を一切処理しない。S147では、シリアルインタフェース部14から図4のタイミングで実装状態を受信する。

【0035】S148では、S147での実装状態データ(表2参照)からシリアルインタフェース部14の速度を判断しより高速なIFを18と26の二つから選択し、優先に設定する。実装状態データが“C”hex. 又は“E”hex. なら12Mbps、“D”hex. なら1Mbps、IEEEstd1284-1994(26)IFは、4Mbps、の性能を持っている。“C”hex. 又は“E”hex. が受信されいたらシリアルIFがより高速のIFなのでこれを優先IFとする。“D”hex. なら標準実装IFのIEEEstd1284-1994(26)IFがより高速のIFなのでこれを優先IFとする。

【0036】S149では、図13のLED132を点灯させ、印刷可の状態を表示する。S148で判断した通りに、図13の134と135のいずれか優先するIFをしめすLEDを点灯する。S149で信号92がHighと判断されている場合は、標準IFとして基板が割られずにシリアルIF部(14)が実装されているため、サブIFの交換可否を不可のLEDを点灯、可のLEDを消灯して表示する。(図9に記述されているようにシリアルIF14が割られている場合、つまり標準実装ではなく、後からオプションとして実装された場合、シリアルIF14が割られているので同図の+5V電源と92サブPCB検出信号はプリンタの製造工程で切断されており、プルダウン抵抗91によりLowレベル電圧となる。またその逆に標準実装の場合では、+5V電源とサブPCB検出信号92は切断されておらず、検出信号92はHighレベル電圧となる。これにより、標準実装か、オプションでの実装かをここで判断し、割られていないならユーザーにとって交換不可、割られているなら交換可と判断して、LEDで表示する。)

【0037】S150では、コンピュータA又はBから印字関連情報が送られてくるのを待つ。S151では、図10の優先IFの処理手順通りに印字処理を行い、終了後にS150に戻る。

【0038】

【発明の効果】本発明の実施例1、2によれば、電気基板の型及び版下を1種類のみ作成すれば、プリンタ制御部PCB(シリアルIF付き)、プリンタ制御部PCB(シリアルIF無し)、シリアルIFだけのPCBと3種類の電気基板の型、版下として利用できる。また、2つのIFのうちからより高速のIFを優先にし、LEDを表示して、そのIFの使用をユーザーに提供することができる。

【0039】実施例1によれば、プリンタ制御部PCBを割

っていない標準実装のシリアル I/F かどうかをサブ P C B 検出信号により、制御部 (13) が電氣的に検出し、更にサブ P C B からの実装状態データの受信とで、そのハードウェア状態をユーザーに対し L E D などで表示できる。これにより交換又は、追加できるシリアル I/F スロットがあるかどうかをユーザーに知らせることができ *

＊る。

【0040】実施例 2 では、シリアル I/F を交換又は、追加できるかどうかを制御部 (13) がサブ P C B からの実装状態データだけで判断でき、それをユーザーに L E D で知らせることができる。

【表 1】

シリアルインタフェース部 (14) から制御部 (13) に送られてくる実装状態のデータを説明する表

データ (hex.)	実施されている P C B と性能
C	制御部 P C B (27) を割った P C B シリアル I/F C (14) が実装されている。この I/F のスピードは 12 Mbps
D	シリアル I/F D が実装されている。 この I/F のスピードは 1 Mbps

【表 2】

シリアルインタフェース部 (14) から制御部 (13) に送られてくる実装状態のデータを説明する表

データ (hex.)	実施されている P C B と性能
C	制御部 P C B (27) を割った P C B シリアル I/F C (14) が実装されている。この I/F のスピードは 12 Mbps
D	シリアル I/F D が実装されている。 この I/F のスピードは 1 Mbps
E	制御部 P C B (27) を割っていない P C B シリアル I/F E (14) が実装されている。この I/F のスピードは 12 Mbps

【図面の簡単な説明】

【図 1】図 1 は、本発明の各実施例のシステム全体を示す図である。

【図 2】図 2 は、本発明の各実施例の制御部 P C B 27 を割らずにプリンタ 11 に実装する場合の図である。

【図 3】図 3 は、本発明の各実施例のシリアル I/F 部 14 の内部回路図である。

【図 4】図 4 は、本発明の各実施例のシリアル I/F 部から制御部 13 がデータを受け取る場合のタイミングチャートである。

【図 5】図 5 は、本発明の各実施例のシリアル I/F 部に制御部 13 がデータを送る場合のタイミングチャートである。

【図 6】図 6 は、本発明の各実施例のシリアル I/F 部がコンピュータ B (16) からデータを受信する場合のタイミングチャートである。

【図 7】図 7 は、本発明の各実施例のシリアル I/F 部がコンピュータ B (16) にデータを送信する場合のタイミングチャートである。

【図 8】図 8 は、本発明の実施例 1 で、制御部 P C B 27 が基板割りのための穴 28 で割られているかどうかを判断するための検出回路である。

【図 9】図 9 は、本発明の実施例 2 で、制御部 P C B 27 が基板割りのための穴 28 で割られているかどうかを判断するための検出回路である。

【図 10】図 10 は、本発明の各実施例で、2つの I/F の 15 または 18 のいずれかを優先 I/F に設定した場合

の処理手順を示す図である。

【図 11】図 11 は、本発明の各実施例で、制御部 P C B 27 が基板割りのための穴 28 で割られて使用されている場合の図である。

【図 12】図 12 は、本発明の実施例 1 での制御部 13 のフローチャートである。

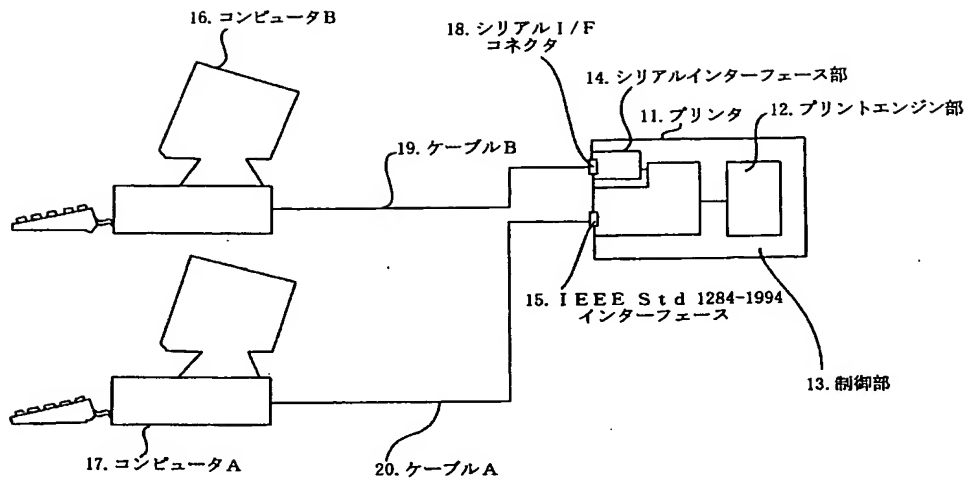
【図 13】図 13 は、本発明の各実施例でのプリンタ 11 の表示部を示す図である。

【図 14】図 14 は、本発明の実施例 2 での制御部 13 のフローチャートである。

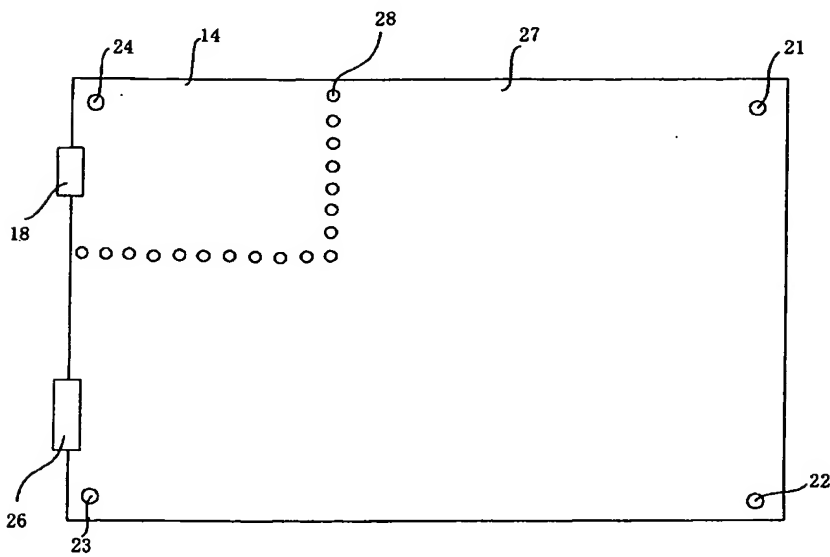
【符号の説明】

- 11 プリンタ
- 12 プリントエンジン部
- 13 制御部
- 14、15 I/F (インターフェース)
- 16、17 コンピュータ
- 18 シリアル I/F コネクタ
- 19 ケーブル B
- 20 ケーブル A
- 21、22、23、24 取り付け穴
- 26 I E E S t d 1 2 8 4 - 1 9 9 4 I/F コネクタ
- 27 制御部 P C B
- 28 基板割りのための穴
- 31 シリアル I/F 制御部
- 32 I/F コネクタ
- 81 プルダウン抵抗
- 82 検出信号

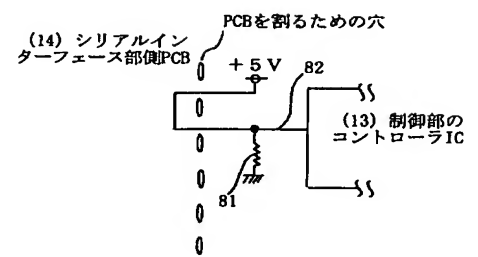
【図1】



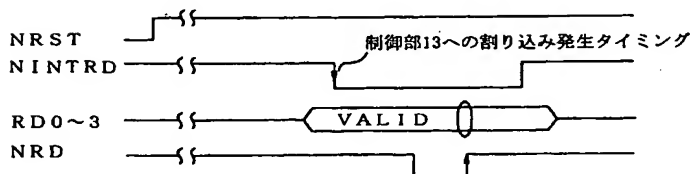
【図2】



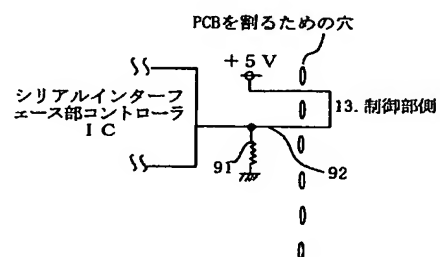
【図8】



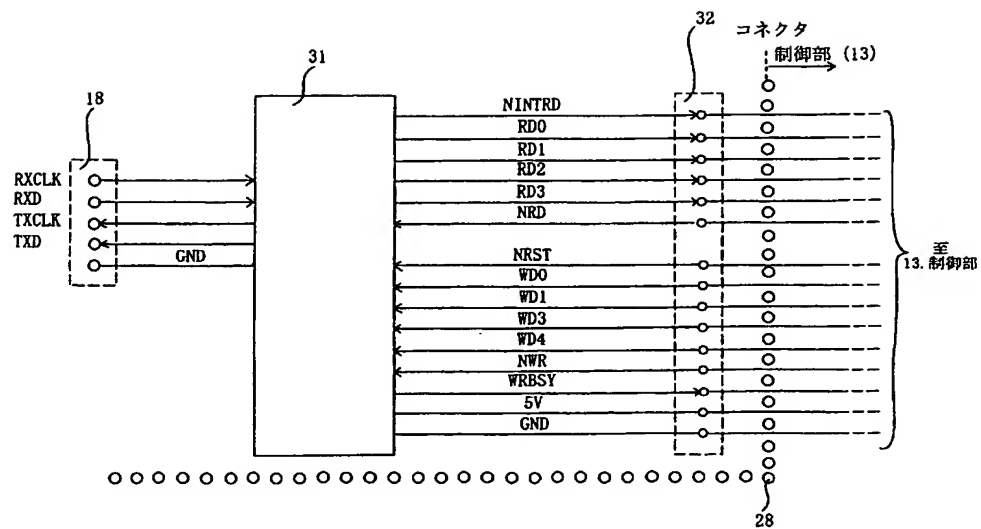
【図4】



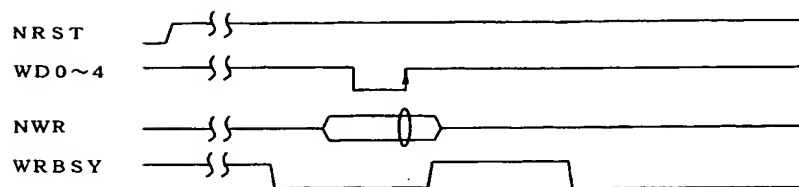
【図9】



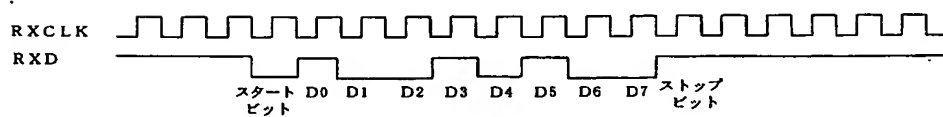
【図3】



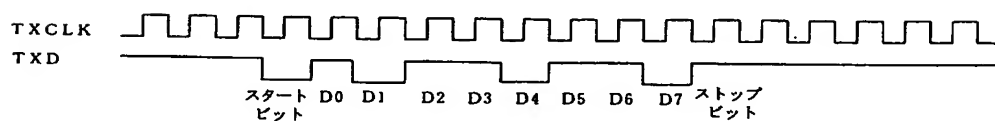
【図5】



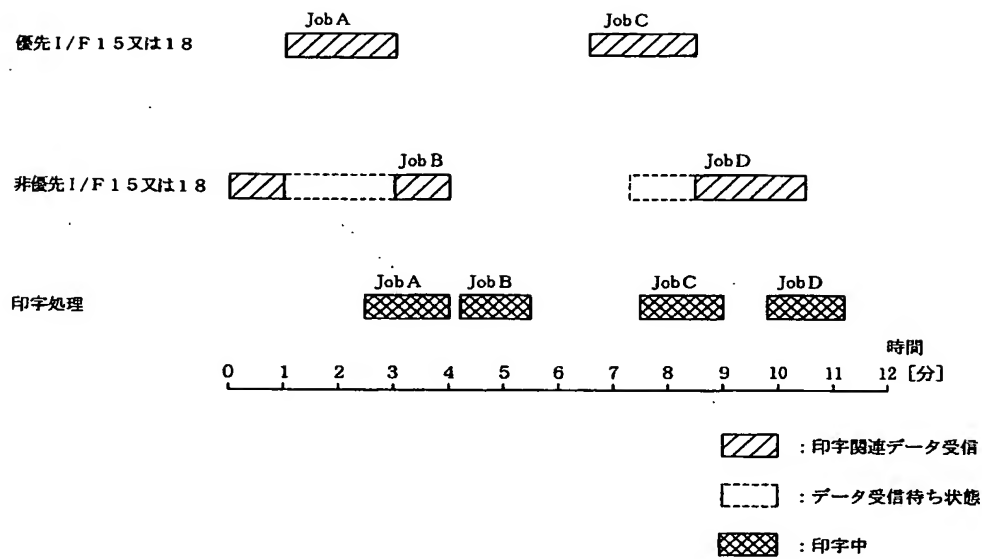
【図6】



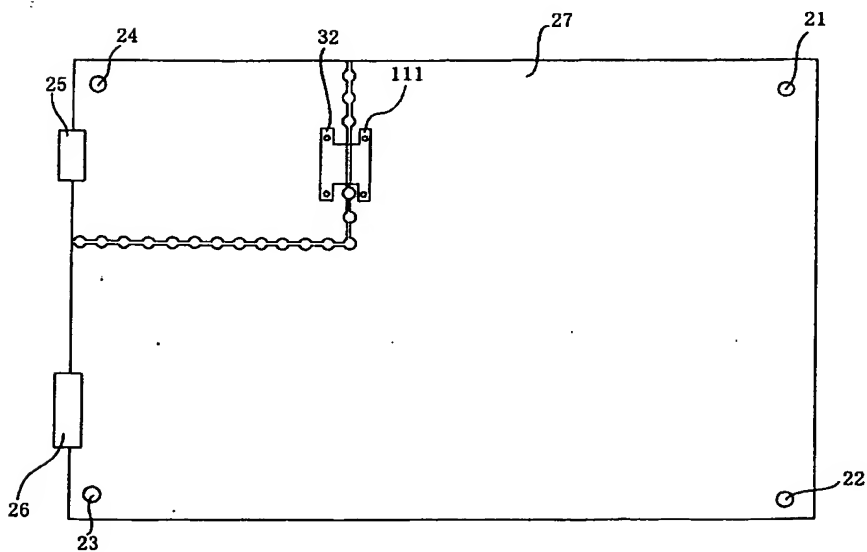
【図7】



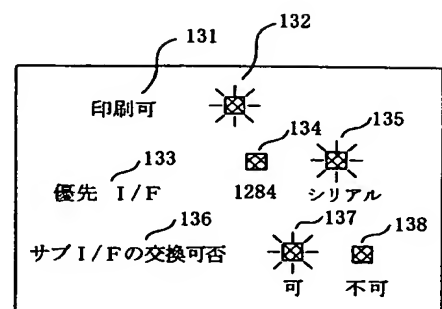
【図10】



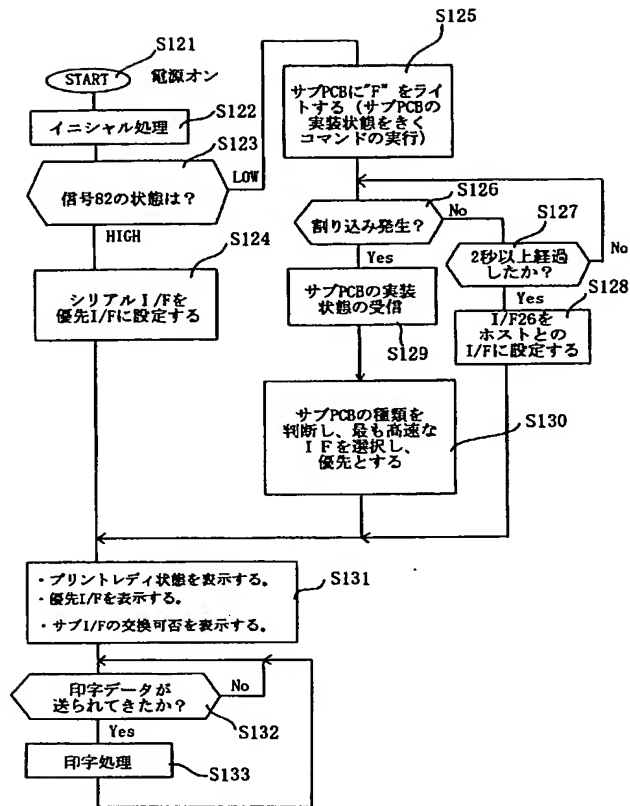
【図11】



【図13】



【図12】



【図14】

